



JP11145132

Biblio

Page 1

Drawing

esp@cenet

FORMATION OF THIN FILM

Patent Number: JP11145132
Publication date: 1999-05-28
Inventor(s): ANDOU AYUMI
Applicant(s): NEC CORP
Requested Patent: ☐ JP11145132
Application Number: JP19970308422 19971111
Priority Number(s):
IPC Classification: H01L21/316; H01L29/78
EC Classification:
Equivalents: JP3239823B2

Abstract

PROBLEM TO BE SOLVED: To suppress trapping of charge (carrier) in a formed film.

SOLUTION: As a pretreatment, a gate oxide film 107 is first heat treated in an atmosphere of mixture of chlorine and nitrogen (inert gas) wherein 0.5% of chlorine gas is added. Then, so called dry O₂ oxidation is carried out according to heating treatment at a temperature of about 900-1,100 deg.C in an oxygen gas atmosphere. Then, after the gate oxide film 107 is formed to a desired thickness through the thermal oxidation, heat treatment as a posttreatment is carried out in an atmosphere of mixture of chlorine and nitrogen wherein 0.5% of chlorine gas is added.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145132

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 1 L 21/316

29/78

識別記号

F I

H 0 1 L 21/316

29/78

S

P

3 0 1 G

審査請求 有 請求項の数 8 O L (全 5 頁)

(21) 出願番号

特願平9-308422

(22) 出願日

平成9年(1997)11月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 亜由美

東京都港区芝五丁目7番1号 日本電気株式会社内

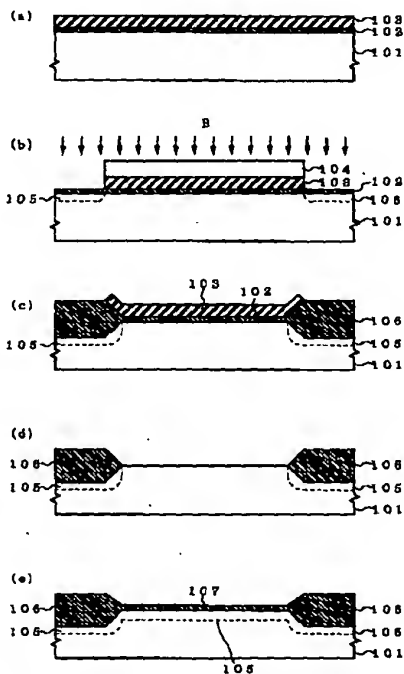
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 薄膜形成方法

(57) 【要約】

【課題】 形成された膜における電荷（キャリア）のトラップが抑制できるようにする。

【解決手段】 ゲート酸化膜107は、まず、前処理として塩素ガスが0.5%添加された塩素とチッソ（不活性ガス）の混合雰囲気中で加熱処理する。ついで、酸素ガス雰囲気中で900～1100℃程度の加熱処理による、いわゆるドライO₂酸化を行う。そして、その熱酸化によりゲート酸化膜107を所望の膜厚に形成した後、後処理として、塩素ガスが0.5%添加された塩素とチッソの混合雰囲気中で加熱処理する。



【特許請求の範囲】

【請求項1】 シリコンが露出したシリコン基体の薄膜形成領域を塩素ガスが存在する雰囲気中で加熱処理する前処理と、

常温常圧において固体の状態でシリコンとの化合物を形成する元素と前記薄膜形成領域のシリコンとを反応させて、前記元素とシリコンとからなる薄膜を前記薄膜形成領域に形成する薄膜形成処理と、

前記薄膜を塩素ガスが存在する雰囲気中で加熱処理する後処理とを備えたことを特徴とする薄膜形成方法。

【請求項2】 請求項1記載の薄膜形成方法において、前記前処理および前記後処理の加熱処理の温度は、前記薄膜形成領域のシリコンと結合している水素が解離するために必要なエネルギーを前記薄膜形成領域に与える温度以上、かつ、シリコンと塩素の結合が切れる温度より低くすることを特徴とする薄膜形成方法。

【請求項3】 請求項1または2記載の薄膜形成方法において、

前記後処理の加熱処理の温度は、前記前処理の加熱処理の温度より高くすることを特徴とする薄膜形成方法。

【請求項4】 請求項1～3いずれか1項記載の薄膜形成方法において、

前記後処理の雰囲気は、前記前処理の雰囲気より高い圧力とすることを特徴とする薄膜形成方法。

【請求項5】 請求項1～4いずれか1項記載の薄膜形成方法において、

前記前処理および前記後処理において、雰囲気に水素が存在する場合は、その水素より塩素の方を多くして前記前処理および前記後処理を行うことを特徴とする薄膜形成方法。

【請求項6】 請求項1～5いずれか1項記載の薄膜形成方法において、

前記薄膜形成処理は、前記元素のガス雰囲気中で前記薄膜形成領域を加熱することでなされることを特徴とする薄膜形成方法。

【請求項7】 請求項1～5いずれか1項記載の薄膜形成方法において、

前記元素は酸素であり、前記薄膜はシリコン酸化膜であることを特徴とする薄膜形成方法。

【請求項8】 請求項1～7いずれか1項記載の薄膜形成方法において、

前記前処理もしくは前記後処理において、前記塩素ガスを不活性ガスで希釈して用いることを特徴とする薄膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MOSトランジスタなどに用いられる酸化膜などを形成する薄膜形成方法に関する。

【0002】

【従来の技術】MOSデバイスにおいては、ゲート絶縁膜に用いるなど、酸化膜そのものがデバイスの特性が決定される部分に用いられている。そのため、酸化膜形成部における界面特性そのものが、デバイスの特性や信頼性の決め手となる。一般に、ゲート絶縁膜としては膜厚が20～30nm程度のものが必要であり、さらに薄くなる傾向にある。従って、酸化膜形成には、一層の精度が要求されている。

【0003】その、ゲート絶縁膜（ゲート酸化膜）の形成には、一般に、シリコンの熱酸化が用いられている。この熱酸化による実用的な酸化膜形成方法としては、酸化雰囲気として酸素ガスを用いる方法、酸素ガスと水蒸気を用いる方法、水蒸気を用いる方法、酸素と酸素の燃焼によって生成する水蒸気を用いる方法などがある。また、それら酸化性雰囲気の圧力としては、常圧、高圧が用いられている。

【0004】

【発明が解決しようとする課題】しかしながら、従来では、例えば、形成されたMOSトランジスタのゲート酸化膜中に、電荷がトラップされるなどの悪影響が発生していた。このように、ゲート酸化膜に電荷がトラップされる状態では、例えば、不揮発性メモリの場合、書き込み／消去動作により注入された電荷が、容易にゲート酸化膜中にトラップされることになる。このように、電荷がトラップされると、不揮発性メモリにおいては保持劣化の原因となる。

【0005】この発明は、以上のような問題点を解消するためになされたものであり、形成された膜における電荷（キャリア）のトラップが抑制できるようにすることを目的とする。

【0006】

【課題を解決するための手段】この発明の薄膜形成方法は、まず、前処理としてシリコンが露出したシリコン基体の薄膜形成領域を塩素ガスが存在する雰囲気中で加熱処理する。その後、常温常圧において固体の状態でシリコンとの化合物を形成する元素と薄膜形成領域のシリコンとを反応させて、元素とシリコンとからなる薄膜を薄膜形成領域に形成する。そして、後処理として、その形成した薄膜を塩素ガスが存在する雰囲気中で加熱処理するようにした。従って、前処理により、薄膜形成領域表面のシリコンのダングリングボンドに塩素が結合した状態となり、後処理においては、形成した薄膜表面および薄膜中さらに薄膜とシリコン界面のシリコンのダングリングボンドに塩素が結合した状態となる。

【0007】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。ここでは、MOSFETの製造を例に取り説明する。まず、図1(a)に示すように、シリコンからなる基板101上に酸化シリコンからなる下敷き酸化膜102を形成し、次いで、その上に窒化シリコ

ン膜103を形成する。次いで、図1(b)に示すように、公知のフォトリソグラフィ技術により、素子形成領域を覆うようにレジストパターン104を形成し、これをマスクとして窒化シリコン膜103を選択的にエッチングする。更に、レジストパターン104をマスクとしてB(ボロン)をイオン注入し、素子間を電氣的に分離するチャネルストップ105を形成する。

【0008】次に、レジストパターン104を除去した後、水蒸気を用いた湿式酸化などにより、窒化シリコン膜103で覆われていない領域の基板101を酸化することで、図1(c)に示すように、フィールド酸化膜106を形成する。ここで、下敷き酸化膜102の存在により、窒化シリコン膜103の引っ張り応力が緩和される。次に、図1(d)に示すように、窒化シリコン膜103および下敷き酸化膜102を除去し、フィールド酸化膜106により区画された素子形成領域の基板101表面を露出させる。

【0009】次に、トランジスタのしきい値電圧を調整するために、再びBをイオン注入して、不純物領域108を形成する。そして、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、図1(e)に示すように、ゲート酸化膜107を形成する。ここで、そのゲート酸化膜107の形成に関して、より詳細に説明する。このゲート酸化膜107は、清浄な状態の基板101表面を熱酸化することにより形成するが、まず、前処理として塩素ガスが0.5%添加された塩素とチッソ(不活性ガス)の混合雰囲気中で加熱処理する。このとき、加熱の温度は500℃程度とする。

【0010】この前処理において、加熱処理の温度は、塩素ガスが雰囲気中に存在している状態で、シリコンに結合している水素が解離するために必要なエネルギーが薄膜形成領域に与えられる温度以上とする。また、この加熱温度は、露出しているシリコンと塩素の結合が解離する温度より低くする必要がある。例えば、常圧下において、露出している基板101表面において、 $\text{Si}-\text{Cl} \rightarrow \text{Si} + \text{Cl}$ の反応により、Clが脱離してしまう温度は700℃程度であるので、ここでは、700℃より低くしておく必要がある。また、雰囲気中に水素が存在する場合は、水素より塩素が多い状態となるようにする。なお、前処理は大気圧下で行う必要はなく、減圧下や加圧下で行うようにしてもよい。

【0011】ついで、その前処理の後、酸素ガス雰囲気中で900~1100℃程度の加熱処理による、いわゆるドライ O_2 酸化を行う。この熱酸化においては、雰囲気中に水素が存在しない状態で行う。そして、その熱酸化によりゲート酸化膜107を所望の膜厚に形成した後、後処理として、塩素ガスが0.5%添加された塩素とチッソ(不活性ガス)の混合雰囲気中で加熱処理する。このとき、加熱の温度は600℃程度とする。この後処理

は、前述した前処理とほぼ同様であるが、加熱の温度を前処理の温度より高くした方がよい。以上の処理により、ゲート酸化膜107と基板101界面において、水素が結合した $\text{Si}-\text{H}$ およびOH基が結合した $\text{Si}-\text{OH}$ の存在が抑制された状態が得られる。加えて、ゲート酸化膜107表面に露出しているシリコン原子のダングリングボンドには、塩素が結合した状態となる。

【0012】まず、前処理においては、基板101表面に存在するSiのダングリングボンドに塩素が結合した状態としている。また、基板101表面においてすでに存在している $\text{Si}-\text{H}$ を解離させ、塩素が結合した状態としている。この結果、前処理により、フィールド酸化膜106により区画された素子形成領域の基板101表面は、表面のSiがClで終端された状態となる。この結果、前処理によって、基板101のかかる表面は、 $\text{Si}-\text{H}$ および $\text{Si}-\text{OH}$ の生成が抑制された状態となる。従って、この状態でドライ O_2 酸化によりゲート酸化膜107を形成すれば、前述したように、ゲート酸化膜107中およびゲート酸化膜107と基板101界面において、 $\text{Si}-\text{H}$ および $\text{Si}-\text{OH}$ の存在が抑制された状態が得られる。

【0013】ところが、熱酸化によりゲート酸化膜107を形成すると、そのゲート酸化膜107中やその表面、また、特にゲート酸化膜107と基板101の界面においては、シリコンのダングリングボンドが新たに形成されて存在した状態となっている。しかしながら、この実施の形態によれば、上述した後処理を行うようにしているので、それらシリコンのダングリングボンドには、塩素が結合した状態となっている。この結果、この後のデバイス製造プロセスにおいて、例えば、ゲート酸化膜107と基板101の界面において、 $\text{Si}-\text{H}$ および $\text{Si}-\text{OH}$ の新規の形成が抑制された状態が得られる。

【0014】ここで、ゲート酸化膜107の形成後では、ゲート酸化膜107と基板101の界面にダングリングボンドが多く存在しており、これが特に問題となる。そして、その界面におけるシリコンのダングリングボンドに塩素が結合した状態を得るためには、後処理における加熱温度を560℃以上と前処理よりも高い温度とした方がよい。また、形成されたゲート酸化膜107中やその下の基板101との界面のシリコンダングリングボンドに塩素を結合させるためには、処理雰囲気の塩素とチッソ(不活性ガス)の混合ガスの圧力をより高くしておくことも有用である。ところで、その加熱温度は、900℃より低くした方がよい。これは、900℃以上の温度では、ゲート酸化膜107中やゲート酸化膜107と基板101の界面の $\text{Si}-\text{Cl}$ 結合が切れやすくなるからである。

【0015】以上示したようにゲート酸化膜107を形成した後、CVD法によりポリシリコンを堆積する。こ

のとき、このポリシリコンに導電性を持たせるために、P(リン)を 10^{20} cm^{-3} 程度添加する。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、ドライエッチングにより、ポリシリコンを選択的に除去し、図2(f)に示すように、ポリシリコンゲート109を形成する。次いで、このポリシリコンゲート109をマスクとしてAs(ヒ素)をイオン注入することで、ソース110およびドレイン111を形成する。

【0016】次に、図2(g)に示すように、酸化シリコンからなる層間絶縁膜112を形成する。次に、その層間絶縁膜112のソース110およびドレイン111上の領域の所定位置に、コンタクトホールを形成する。次いで、そのコンタクトホール内を埋め込むようにアルミニウムの層を堆積する。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、BCl₃系のガスをを用いたドライエッチングにより、そのアルミニウムの層を選択的に除去し、図2(h)に示すように、ソース110およびドレイン111に接続する、アルミニウムからなるソース電極113およびドレイン電極114を形成する。この結果、MOSFETがほぼ完成する。

【0017】以上に示したように、この実施の形態によれば、ゲート酸化膜中およびゲート酸化膜とシリコン(基板)との界面などにおいて、水素の存在を抑制することができるので、ゲート酸化膜中に電荷がトラップされるなどの悪影響を抑制することができる。図3に示すように、従来のように、シリコンのダングリングボンドに水素が結合しているなど、ゲート酸化膜およびその界面において水素が存在している状態(a)では、注入されるホールのエネルギーがより低い段階で、ホールトラップが発生する状態となる。

【0018】これに対して、上述したようにシリコンのダングリングボンドに塩素を結合させておくことで、ゲート酸化膜およびその界面において水素が存在しない状態(b)では、注入されるホールのエネルギーがより高くなるとホールトラップが発生しない。従って、例えば、フローティングゲートを備えた書き換え可能な不揮発性メモリなどでは、ゲート酸化膜を介して形成されているフローティングゲート中に、電荷を注入したり電荷を引き出したりすることで書き込み/消去を行うが、その動作においてゲート酸化膜中でのホールトラップ量を抑制することができる。

【0019】また、図4に示すように、ゲート酸化膜およびその界面において水素が存在している状態(a)では、電子の注入エネルギーがより低い段階で電子のトラ

ップが発生する状態となる。これに対して、シリコンのダングリングボンドに塩素を結合させておくことで、ゲート酸化膜およびその界面において水素が存在しない状態(b)では、電子の注入エネルギーがより高くなると電子のトラップが発生しない。従って、この実施の形態によれば、チャネルホットエレクトロン注入現象によるトランジスタの劣化も抑制できるようになる。なお、上述では、薄膜としてシリコン酸化膜を形成するようにしたが、これに限るものではなく、窒化膜など他の薄膜を形成するようにしてもよい。

【0020】

【発明の効果】以上説明したように、この発明では、シリコンが露出したシリコン基体の薄膜形成領域を塩素ガスが存在する雰囲気中で加熱処理する前処理と、常温常圧において固体の状態でシリコンとの化合物を形成する元素と薄膜形成領域のシリコンとを反応させて、元素とシリコンとからなる薄膜を薄膜形成領域に形成する薄膜形成処理と、薄膜を塩素ガスが存在する雰囲気中で加熱処理する後処理とを備えるようにした。この結果、前処理により、薄膜形成領域表面のシリコンのダングリングボンドには塩素が結合した状態となり、後処理においては、形成した薄膜表面および薄膜中さらに薄膜とシリコン界面のシリコンのダングリングボンドには塩素が結合した状態となる。すなわち、薄膜形成において、薄膜中および薄膜とシリコン基体との界面に水素が入り込むことが抑制されることになる。従って、この発明によれば、形成された膜中における電荷のトラップが抑制できるようになるという効果を有する。

【図面の簡単な説明】

【図1】 この発明の実施の形態における薄膜形成方法を説明するための工程断面図である。

【図2】 図1に続く、この発明の実施の形態における薄膜形成方法を説明するための工程断面図である。

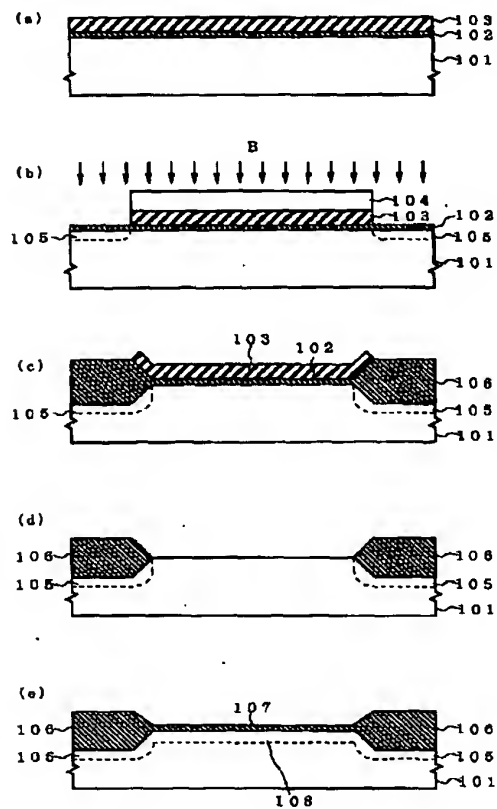
【図3】 ホールトラップの状態を説明するための特性図である。

【図4】 電子トラップの状態を説明するための特性図である。

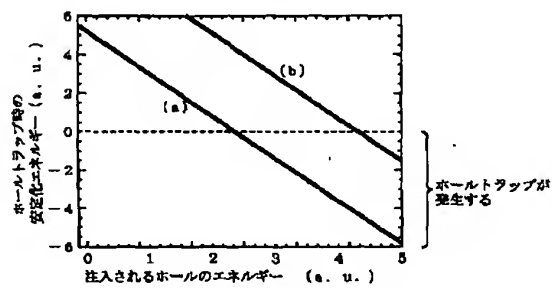
【符号の説明】

101…基板、102…下敷き酸化膜、103…窒化シリコン膜、104…レジストパターン、105…チャネルストッパ、106…フィールド酸化膜、107…ゲート酸化膜、108…不純物領域、109…ポリシリコンゲート、110…ソース、111…ドレイン、112…層間絶縁膜、113…ソース電極、114…ドレイン電極。

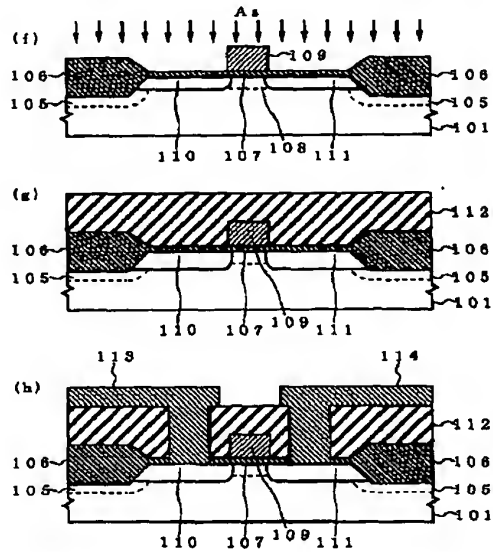
【図1】



【図3】



【図2】



【図4】

